

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05173733 A**

(43) Date of publication of application: **13.07.93**

(51) Int. Cl

G06F 3/12
B41J 5/30
B41J 29/38
G06F 1/32

(21) Application number: **03343283**

(71) Applicant: **CANON INC**

(22) Date of filing: **25.12.91**

(72) Inventor: **TANEDA ATSUSHI
SUZUKI NAOHISA**

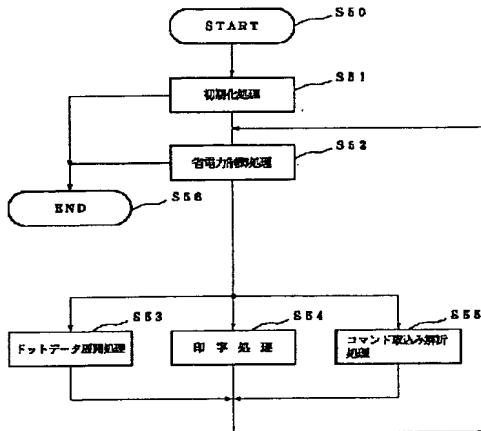
**(54) METHOD AND DEVICE FOR PROCESSING
INFORMATION**

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To save power in an entire system by turning respective parts in a system equipment to a power saving state in the case of non-operation by providing a power save control part in a printing part.

CONSTITUTION: An initialization processing is executed (S51), and when a printer OFF is set from a control panel SW, the processing is turned to END (S56). When the printer OFF is not set, a power save control processing (S52) is started. Similarly in the power save control processing (S52), when the printer OFF is set, the END (S56) is established and when the printer OFF is not set, next three parallel processings are started. Namely, a dot data development processing (S53) to develop character code data in a line buffer to real dot data for one line, a series of printing processings (S54) in the case of successively executing commands, and command fetch and analysis processing (S55) to prepare the line buffer are started. Then, the operation is returned to the power save control processing (S52).



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-173733

(43) 公開日 平成5年(1993)7月13日

| (51) Int. Cl. ⁵ | 識別記号 | 序内整理番号 | F I | G 0 6 F | 1/00 | 3 3 2 | 技術表示箇所 Z |
|----------------------------|-----------|-----------|-----|---------|------|-------|-------------|
| G 0 6 F 3/12 | C 8388-5B | | | | | | |
| B 4 1 J 5/30 | Z 8907-2C | | | | | | |
| | 29/38 | D 8804-2C | | | | | |
| G 0 6 F 1/32 | | | | | | | |

審査請求 未請求 請求項の数2(全33頁)

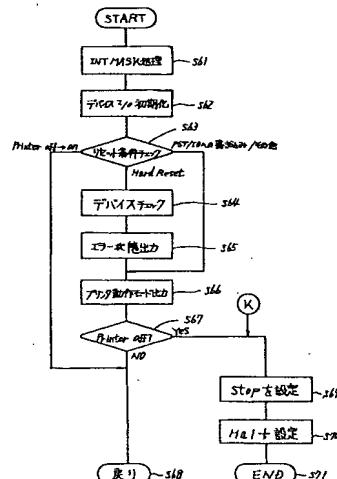
| | | | |
|-----------|------------------|----------|--|
| (21) 出願番号 | 特願平3-343283 | (71) 出願人 | 000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号 |
| (22) 出願日 | 平成3年(1991)12月25日 | (72) 発明者 | 種田 淳 東京都大田区下丸子3丁目30番2号キヤノン 株式会社内 |
| | | (72) 発明者 | 鈴木 尚久 東京都大田区下丸子3丁目30番2号キヤノン 株式会社内 |
| | | (74) 代理人 | 弁理士 丸島 儀一 |

(54) 【発明の名称】情報処理方法及び装置

(57) 【要約】 (修正有)

【目的】システム機器内の各部を非動作時では省電力状態とし、システム全体の省力化をはかり、外部操作による初期化制御を行う情報処置方法及び装置。

【構成】主制御を行う情報処理側と、省電力制御を含む印字の制御を行う印字処理側を有し、印字処理が省電力状態の時、情報処理側が印字処理初期化要求の情報を受けて印字処理側に対して印字制御初期化命令を送出する様にし、印字処理側は、情報処理側からの命令が印字制御初期化命令であれば、内容を一時保持し、復帰命令があったときに、印字処理側が起動命令を実行する様にする。



【特許請求の範囲】

【請求項1】 主制御を行う情報手段と、印字を行う印字手段と省電力制御を含む印字の制御を行う印字制御手段と、前記印字制御手段の動作状態を切り替える切り替え操作手段を備え、前記印字制御手段が省電力状態の時、

前記情報手段が前記切り替え操作手段より印字手段初期化制御起動要求の情報を受け、前記印字制御手段に対して印字手段初期化命令を送出する様にし、前記印字制御手段は、前記情報手段からの命令が印字制御起動命令であれば、内容を一時保持手段に保持し、復帰命令があつたときに、

前記印字制御手段が初期化動作を実行することを特徴とする情報処理装置。

【請求項2】 主制御を行う情報処理側と、省電力制御を含む印字の制御を行う印字処理側と、前記印字処理の動作状態を切り替える切り替え操作処理側を備え、前記印字処理側が省電力状態の時、

前記情報処理側が前記切り替え操作処理側より印字処理側初期化要求の情報を受け、前記印字処理側に対して印字制御初期化命令を送出する様にし、前記印字処理側は、前記情報処理側からの命令が印字制御初期化命令であれば、内容を一時保持し、復帰命令があつたときに、前記印字処理側が起動命令を実行することを特徴とする情報処理方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、システム機器内の各部を非動作時では省電力状態とし、システム全体の省電力化をはかり、外部操作による初期化制御を行う情報処理方法及び装置に関するものである。

【0002】

【従来の技術】 従来、主制御部である情報処理部と印字部を備え、印字部の省電力制御を行う場合、情報処理部内の省電力制御部が行い、印字部への電源供給は供給命令により、電源遮断は、印字部の動作状態等のステータス情報を見ることにより判断して電源遮断命令によりいずれかも情報処理部で実行しており、印字部の初期化は、印字部への電源の供給命令とともにに行われていた。

【0003】

【発明が解決しようとしている課題】 しかしながら、上記従来例では、電源遮断の場合も、あるいは電源ON後に印字部初期化命令、復帰命令等を送る場合も、主制御部側が印字部のステータス情報を逐次見ていかなければならず、その間の時間と電力に無駄が発生するという欠点があった。

【0004】

【課題を解決するための手段（及び作用）】 本発明によれば、印字部に省電力制御部を設けることにより、主制御部が省電力状態に遷移する前に印字部電源遮断命令を

送出しておけば、その後省電力状態に遷移しても印字部省電力制御部がその命令を受け、独自に印字部各部のステータスを判断して動作中であればその間待った後印字動作部電源を遮断する制御を行い、印字部の情報記憶部を含む印字部省電力制御部は、省電力モードに入る。

【0005】 更に、主制御部にある操作部より印字部初期化要求があった場合は、主制御部より印字部初期化命令が送出された印字省電力制御部がその命令を受け、省電力制御部が一時命令を保持し、復帰命令が主制御部より送られてきたときに、印字部の初期化の制御を行うようにしたものである。

【0006】**【実施例】**

（実施例1） 図1は本発明の1実施例としての情報処理装置としてのパソコン（以下パソコンと略す）を示す斜視図である。パソコン1は、装置本体101、キーボード102、表示部103を備える上カバー104、およびプリンタ2等の各部によって構成される。上カバー104は、装置本体101に対して、その後縁の両端に設けられたヒンジ104aを介して回動可能に取り付けられている。これにより本装置の使用時には、上カバー104は、その回動によって表示部103が視易くなる位置まで開けられ、また、不使用時は閉じられてカバーとして機能することができる。表示部103の表示素子としては、表示部を薄く構成できることから液晶表示素子が用いられる。

【0007】 インクジェット方式の記録ヘッド（BJヘッド）を用いたプリンタユニット2は表示部103の前方に配置され、装置本体101内に収納されている。また、プリンタユニット2は操作者が開閉可能な開口部（不図示）をもち、記録ヘッドの交換が可能なようになっている。

【0008】 記録紙3はキーボード102の下部に設けられた給紙口101aから挿入され、装置本体101内を貫通する搬送路内を搬送されて装置後方の排紙口（不図示）から排出される。キーボード102は装置本体101の両端に設けられたヒンジ102aを介して回動可能に取り付けられている。これにより、封筒、ハガキ等の比較的長さの短い記録紙を使用する場合もキーボード102を上部に開き、記録紙3を搬送路内の奥に挿入することができる。このように、キーボード102の下部に記録紙3の搬送路が設けられているため、記録紙をセットした状態でもキーボード102および表示部103及び操作パネル105を用いた種々の操作が可能である。

【0009】 [Host-Printerの概略ブロック図] 図2に、ホストコンピュータとプリンタの概略ブロック図を示す。

【0010】 まずホストコンピュータにおいては、主制御をつかさどっているのが中央処理装置（CPU）であ

り、その基本的な制御を指示するのがBIOS ROM (Basic Input Output System ROM) である。フロッピーディスク (FDD) やハードディスク (HDD) からフロッピーディスクコントローラ (FDC) やハードディスクコントローラ (HDC) を経由してアプリケーションプログラムを読み出し、システムメモリ (RAM) を利用してプログラムの実行を行う。この時、画面の表示方法としてはLCDコントローラ (LCDC) を使って液晶 (LCD) にキャラクタ等の表示を行い、キーボード (KB) からのキー入力はキーボードコントローラ (KBC) を経由して行われる。ここで、数値演算プロセッサ (FPU) はCPUに対して演算処理のサポートを行うものである。又、リアルタイムクロック (RTC) は現時点の経過時間を示すものでシステム全体の電源が切られた状態においても、専用バッテリにより動作は行われる。DMAコントローラ (DMAC) は、メモリ～メモリ間、メモリ～I/O間、I/O～I/O間において高速にデータの転送を行う為、CPUの介在なしでデータ転送を行う。割り込みコントローラ (IRQ) は各I/Oからの割り込みを受け付け、優先順位に従って処理を行う。タイマ (TIMER) は、数チャンネルのフリーランニングタイマを持ち、種々の時間管理を行う。その他に外部につながる、シリアルインターフェイス (SIO) 、拡散ポート (PORT) や、ユーザに動作状況を伝えるLEDがある。

【0011】一般的のパソコンが持つ上記の各制御に加えて、ノートブック型パーソナルコンピュータ (パソコン) に於いては、ACアダプター/電池の少なくとも2電源に対応する必要があり、特に電池使用時の省電力が必要となり、以下の構成を有する。FLのインバータ回路のon-off/FDDへの電源供給/HDDへの電源供給/RAM及びVRAM以外のデバイスへの電源供給の各時間制御や、CPU等のCLOCK制御、サスペンド/レジューム時の電源制御手順等を制御するホストパワーマネージメント部 (ホストPM部) と、ホストPM部の指示信号によりRAM及びVRAMをサスペンド時とcpu-clock動作時とで切り替えてrefreshするためのリフレッシュコントローラと、2次電池をチャージしながらホスト側も駆動可能なチャージコントローラよりなる。

【0012】プリンタ部は、ホストコンピュータに対して汎用のパラレルインターフェイスレジスタPIO/I/Oとプリンタコントロール&ステータスレジスタPST/I/Oでつながる形になり、I/Oポートのレジスタレベルでデータ送受信を行い、接続のイメージとしては外部プリンタとやり取りした時と同等となる。

【0013】図14は、本発明が実施もしくは適用されたインクジェット記録方式を用いたプリンタユニット2の内部構成を説明するための斜視図である。図1におい

て、5001はインクタンクであり、5012はそれに結合された記録ヘッドである。5001のイクタンクと5012の記録ヘッドで一体型の交換可能なカートリッジを形成するものである。5014は、そのカートリッジをプリンタ一本体に取り付けるためのキャリッジであり、5003はそのキャリッジを副走査方向に走査するためのガイドである。

【0014】5000は、記録紙3を主走査方向に走査させるためのプラテンローラである。5024は、プラテンローラを回転させるための紙送りモータである。なお、キャリッジ5014には、記録ヘッド5012に対して駆動のための信号パルス電流やヘッド温調用電流を流すためのフレキシブルケーブル (図示せず) が、プリンタをコントロールするための電気回路を具備したプリント板 (図示せず) に接続されている。

【0015】さらに、上記構成のプリンタユニット2を詳細に説明する。駆動モータ5013の正逆回転に連動して駆動力伝達ギア5011、5009を介して回転するリードスクリュー5005の螺旋溝5004に対して係合するキャリッジ5014はピン (不図示) を有し、矢印a、b方向に往復移動される。5002は紙押え板であり、キャリッジ移動方向にわたって紙をプラテン5000に対して押圧する。5007、5008はフォトカプラでキャリッジ5014のレバー5006のこの域での存在を確認してモータ5013の回転方向切換等を行うためのホームポジション検知手段である。5016は記録ヘッドの前面をキャップするキャップ部材5022を支持する部材で、5015はキャップ内を吸引する吸引手段であり、キャップ内開口5023を介して記録ヘッド5012の吸引回復を行う。

【0016】5017は、クリーニングブレードで、5019はこのブレード5017を前後方向に移動可能にする部材であり、本体支持板5018にこれらは支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本体に適用できることはいうまでもない。また、5021は、吸引回復の吸引を開始するためのレバーで、キャリッジ5014と係合するカム5020の移動に伴って移動し、駆動モータからの駆動力がクラッチ切換等の公知の伝達手段で移動制御される。

【0017】すなわち、駆動モータ5013をキャリッジ5014のホームポジションから逆回転することにより、動力伝達ギア5011を5010に切り替え (不図示) 、駆動モータ5013からの駆動力がカム5020を介してレバー5021に伝わり、記録ヘッド5012のキャッピングおよびクリーニング、吸引回復が行えるように構成されている。

【0018】[Printerのブロック図] 図3はプリンタ部の制御系の構成をしめすブロック図で主な構成は以下の通りである。

【0019】ここでCPU-Pはプリンタ部の主制御を

なすマイクロプロセッサ形態のCPUで有り、後述のプリンターコントロール&ステータスポート部のPST/I/Oレジスタを介してホスト側との間でプリンターのステータス情報やエミュレーション設定の情報授受を行い、この状態設定に基づきホスト側から後述のパラレルIFアダプタ部のPIO/I/Oレジスタを介して得られるプリンタコマンドやデータに従って所望の状態処理及び印字処理を後述のROM-Pにあらかじめマイクロコード化して格納されたプログラムやデータに則り行う。ROM-PはCPU-Pが実行する記録制御手順及び印字制御手順等に対応したプログラム、キャラクタージェネレータ(CG)、その他のテーブル及びデフォルト値等の固定データを格納するROM(リードオンリーメモリー)である。TIMER1-Pは紙送りモータ(FM)/ヒータ等の駆動相時間及びその他の時間タイミングを得るためのTIMERで、RTC-Pは回復動作の経過時間を知るためのRTC(リアルタイムクロック)である。また、複合制御UNITは、IF転送制御/省電力制御/RAMアクセス制御/プリンタコントロール&ステータス制御/プリンタポート制御等から構成され、この内RAMアクセス制御/プリンタコントロール&ステータス制御/省電力制御等はCPU-Pの制御によらずCPU-Pのクロック停止及びフォルト中であっても独立した制御が可能である。以上の構成がCPU-PのBUSに接続されている。RAM-Pはレジスタとして用いるワーク領域、1ライン分の印字データを格納する為のラインバッファ、ドットに再展開されたドット展開バッファ、パラレルIFからのINPUTバッファ、エミュレーション情報記録等の領域を有するRAM(ランダムアクセスメモリー)で、複合制御UNITとの間をRAM busによって接続され、複合制御UNITのRAM制御部によりRAM-PがCPU-Pをはじめ複数の制御部からのアクセスが可能となっている。複合制御UNITからは各プリンタ駆動制御信号が送出され、FM駆動回路/CM駆動回路/ヘッドドライバー/ヒータドライバーではFM/CM/BJ-Head/ヒータ等の駆動レベルに変換し、プリンタのFM(フィードモーター)/CM(キャリアモーター)/BJ-Head各部が駆動される。省電力制御信号として複合制御UNITからVcc1P-off/Vcc2P-off/Vp-offの電源コントロール信号と、入力信号として操作パネルSWからのPrinter-off/プリンタセンサー類、出力信号として操作パネルのLED駆動信号等を持つ。このうちPrinter-off信号のアクティブからインアクティブの変化のみによってVcc1Pの電源供給がなされて、複合制御UNIT/CPU-P/RAM-Pのみに電源供給が可能となる。また、Vcc1P-offはPrinter-off信号をプリンタの駆動状況に合わせて、変更したOFFタイミングでVcc1Pなる電源を切ることが可能となっている。

【0020】図6に複合制御UNITの構成図を示す。【0021】機能ブロックとしては、主としてホスト側からのIFアダプタとして機能するパラレルIFアダプタ、パラレルIFアダプタを介してRAM-Pのinput-buffer上にパラレルデータの格納を行うIFデータ読み込み制御部、主としてホスト側から直接プリンタの状態を確認コントロールする為のプリンタコントロール&ステータスポート部、RAM-Pのリフレッシュタイミングを発生するリフレッシュ制御部、RAM-P上の1ラインドット展開データを読みだしてBJヘッドを駆動印字しつつ合わせてキャリアの相励磁も制御するBJ-ヘッド/CM制御部と、FM/ヒータ/LED等を駆動するプリンタポート制御部と、IFデータ読み込み制御部とリフレッシュ制御部とBJ-ヘッド/CM制御部とCPU-Pの4つのアクセス要求に対して優先度別にアクセス権を持つRAMアクセス制御部と、省電力制御を行うプリントPM部で構成される。省電力制御については後述するがCPU-Pをフォルト状態で供給クロックを停止させる低消費電力モードからの通常処理状態への復帰は、PM制御部で集中して管理される各種割り込みあるいはリセットによってもたらされ、CPU-Pを復帰させる条件がととのったのちINTとあるいはP-RESして出力されCPU-Pは再開して処理を行う。

【0022】図5はプリントPM部内のモード制御部における入出力構成図である。プリンタ動作可否SW(Printer on/off SW)入力はプリンタ動作否信号ラッチ回路を経由したラッチ信号と直接のプリンタ動作可否SW信号の双方がモード制御部に送られる。PST/I/Oレジスタへの書き込み信号はPST/I/O書き込みラッチ回路を経由したラッチ信号がモード制御部に送られる。モード制御部への残りの入力はホストから直接入力される信号でシステムパワーオン時等のハード的なリセット信号であるRESETとホストがサスペンド状態であるかどうかを示すサスペンド信号である。これらの信号とCPU-Pの制御によるPPM/I/OのSLEEP/STOP設定の条件で後述するモード変遷系がP-RES/clock2/Sleep/clock-stop等の出力制御により実現される。P-RES出力はCPU-Pをリセットするためのものである。clock2出力はCPU-Pがフォルト状態あるいは不必要時はクロックを停止あるいは遅延させて省電力をはかるためのものである。Sleep出力はプリントPM部内のrefresh制御系などの回路を停止させて省電力をはかる目的のものである。clock-stop出力は省電力をはかる目的のものである。プリントPM部に供給されているクロック自体の発振を停止させるものでより一層の省電力をはかるためのものである。Vcc1P-off/Vcc2P-offは省電力

をモード状態に合わせてより効果を得る為に記載されているもので不必要的回路の電力を同時に遮断するものである。上記ラッチ回路の動作／非動作はモード制御部によりCPU-Pのフォルト状態あるいはクロック停止状態でサスペンド状態の時有効となり、ラッチした信号はサスペンドがレジュームにより解除された時、P-RESによるプリンタ系CPU-Pのリセットを有効とするかどうかの判断信号として用いられる。

【0023】図6にはパラレルIFアダプタ部とホスト側からみえるI/Oレジスタ(PIO/I/O)の構成を示すが、IF send data/IF receive data/IF status/Buffer SP/IFコントロールの各レジスタからなりホスト→プリンタ部へのパラレルIF転送制御用のレジスタ群である。

【0024】図7は、IFデータ取り込み制御部でプリンタ側からみえるI/Oレジスタ(PIF/I/O)の構成を示すが、IB start/IB end/IB POINT/IB status/IB制御情報/IB send dataの各レジスタからなり、各レジスタの機能については後述する。

【0025】図8は、プリンタポート制御部でプリンタ側からみえるI/Oレジスタ(PFM/I/O)の構成を示すが、FM相励磁/SHヒータ信号/LEDコントロールの各レジスタで構成される。

【0026】図9は、BJ-ヘッド/CM制御部でプリンタ側からみえるI/Oレジスタ(PBJ/I/O)の構成を示すが、PB start/PB end/PB POINT/PB status/PB制御情報/CM相励磁情報の各レジスタからなる。

【0027】図10は、プリンタPM部でプリンタ側からみえるI/Oレジスタ(PPM/I/O)の構成を示すが、PPM status/PPM制御情報の各レジスタで構成される。

【0028】図11は、プリンタコントロール&ステータスポート部でホスト側からみえるI/Oレジスタ(PS T/I/O)の構成を示すが、PSステータス/EMコントロール/EMステータスの各レジスタで構成される。

【0029】図12は、プリンタコントロール&ステータスポート部でCPU-P側からみえるI/Oレジスタ(HWR/I/O)の構成を示すが、IPSステータス/IEMコントロール/IEMコンディションの各レジスタで構成される。前述のPST/I/OレジスタとHWR/I/Oレジスタとの関係は、プリンタコントロール&ステータスポート部の制御により以下の通りに処理される。

【0030】CPU-Pにより書き込まれるプリンタ状態及びエミュレーションハンドシェーク状態を示すHWR/I/OのIPSステータスレジスタはそのままPST/I/OのPSステータスレジスタでホストCPUにより確

認することができる。また、PST/I/OのEMコントロールレジスタ及びEMコンディションレジスタはホストCPUがプリンタ部のエミュレーションモード設定及び個々のエミュレーションに係わる各種の設定条件を変更する目的で用いられる。即ち、ホストCPUからEMコントロールレジスタにエミュレーションモードの書き込みがあると、プリンタのCPU-Pに割り込みが発生し、この割り込み処理で設定されたエミュレーションモードをIEMコントロールレジスタから読みだしてプリンタのパラレルIFより転送されるコマンドの解析を設定されたエミュレーションモードに切り換えると共に、新しく設定されたエミュレーションモード及び変更モードにおける各種のプリンタ設定情報をIEMコントロールレジスタ及びIEMコンディションレジスタに書き込む。この情報はEMコントロールレジスタ及びEMコンディションレジスタに見えているのでホストCPUは変更されたエミュレーションモードに対する各種のプリンタ設定情報を確認することができる。同様に今度はプリンタ設定情報を変更したい場合にはEMコンディションレジスタにホストCPUは変更する各種のプリンタ設定情報を書き込むことで変更が完了する。PSステータスレジスタのEMセットレディ及びEMアクノレッジビットは上記のハンドシェークの為に用意されていて、それぞれEMコントロールレジスタ及びEMコンディションレジスタへの書き込み可と、変更が完了してEMコントロールレジスタ及びEMコンディションレジスタへの変更後の状態情報を確定していることを示す。またこれらのビットはHWR/I/OレジスタのIPSステータスレジスタのIEMセットレディ及びIEMアクノレッジビットのCPU-Pからの書き込みにそれぞれ対応している。

【0031】図13は、RAM-P上でBJ-ヘッド/CM制御部が制御する記憶データバッファ(PB)とIFデータ取り込み制御部が制御する受信バッファ(I B)のアドレスの領域配置を示す。

【0032】印字バッファ領域は、印字に必要なデータ領域を設定するもので、開始アドレス(PB START)と終了アドレス(PB END)を設定することにより、その範囲内でBJ-ヘッド/CM制御部によって開始アドレスから順番に記憶データを読み出し、終了アドレスに至る迄RAM-Pから記憶データを読み出し、ヘッドドライバーに制御信号を送出する。この時、印字データアドレスポインタ(PBポイント)は現在データ送出中のデータアドレスを示している。

【0033】受信データバッファ領域も同様に、受信に必要なデータ領域を設定するもので、開始アドレス(I B START)と終了アドレス(I B END)を設定することにより、その範囲内でIFデータ取り込み制御部によって開始アドレスから順番に記憶データを読み出し、終了アドレスに至る迄RAM-Pから記憶データ

を読み出し、ヘッドドライバーに制御信号を送出する。この時、受信データアドレスポインタ（I B ポイント）は現在データ受信済のデータアドレスを示している。

【0034】図15は図2のホスト側のRAM上のメモリーマップの詳細な配置を示す。RAMは標準領域としてアドレス0000h～A0000h、拡張領域として100000h～FE0000hがあり、それぞれ640KB、15MBの大きさをもつ領域となる。RAMはこれらの領域に配置されるようにメモリマッピングされる。

【0035】RAMの標準領域の先頭部分00000h～000400hには、割り込み用のベクタを保存するエリアがあり、この中に割り込みに対する各処理のエントリーアドレスが保存される。

【0036】図15のビデオRAM領域、及びビデオBIOS ROM領域は、図2のLCD Cの中に配置され、ビデオBIOS ROM領域内にはビデオ制御のためのプログラムが保存され、ビデオRAM領域には、ビデオ表示データが保持される。

【0037】C8000h～E0000hまでの領域は、拡張ROM領域となり、拡張ポート等により使用されるROM領域となる。

【0038】F0000h～10000hまでの領域は、ROM BIOSに配置され、各種I/Oの処理を行うBIOSプログラムを保持している。

【0039】図16に各I/Oのアドレスマップを示す。各々のハードウェアに設定されたアドレスポートへのデータのリード、ライトにより各々のハードウェアとのデータのやりとりが行われる。一例としてキーボードについて説明すると、キーボードコントローラとのデータのやりとりは60h～64hのアドレスに配置されたポートを介して行い、このうちのデータ受取りポートを読み出すことにより、キーボードからのデータを受けることができる。

【0040】他のアドレスについても、同様に扱うことが出来る。

【0041】ここで、パラレルセントロニクス1～3で示されるのがインターフェイス領域を示していて、プリンタのインタフェイス領域と共にI/O空間になっている。

【0042】以下、本体側電源投入後の各処理について説明する。

【0043】図17に電源投入時のフローチャートで、まずステップS1に進む。キーボードによるソフトリセット処理も電源投入時と同様に、ステップS1へ入って来る。ステップS1でPOST処理が行われ、POST処理はpower on self-testで、各ハードウェアのテスト及び初期化を実行する。次にステップS2へ進みシステムプログラム起動のための、ブートプログラムのロードが行われる。ブートプログラムはFD

10 (フロピィディスク)あるいはHD (ハードディスク)などに保存され、例えば、トラック0、セクタ0に配置される。トラック0、セクタ0をメモリ内に読み込むことでブートプログラムのロードが行われる。ステップS1からステップS2まではROM BIOS内に存在する。次にステップS3へ進み、ロードされたブートプログラムが実行される。ブートプログラムは、FD、あるいはHDからOSプログラムをロードするためのプログラムをロードするプログラムで、次にステップS4へ進み、OSロードプログラムをロードする。次にステップS5へ進み、OSロードプログラムを実行する。OSロードプログラムは、OSをメモリ内にロードするためのプログラムで、まずステップS6でI/Oドライバをロードする。I/Oドライバというのは、I/Oを制御するためのプログラムで、I/OドライバによりOSは、各種I/Oとのデータのやりとりを行う。次にステップS7へ進み、I/Oのテストと初期化を行う。次にステップS8へ進みOSをメモリロードする。ここまでステップでOSが実行される準備がととのい次にステップS9へ進んで、OSが実行に移される。OSは、キーボードからの入力を処理し、各種メッセージを表示器に表示し、操作者とのやりとりを行う。OSは操作者の各種コマンドの入力に従って各種コマンド処理の実行を行う。

【0044】図18は、図17のS1のPOSTを詳細に説明するフローチャートで、図2のFPU (数値演算プロセッサ) のテストを行う (ステップS10)。次にROMのテストを行う (ステップS11)。次に電源、バッテリのチェックを行う (ステップS12)。次にLCD、LCDアダプタのテストと初期化を行うLCDアダプタには、RAM、ROMを含みそれらのチェックも行う (ステップS13)。次に割り込みコントローラのテストと初期化を行う (ステップS14)。次にタイマのテストを行う (ステップS15)。次にDMAコントローラのテストを行う。 (ステップS16)。次にキーボード、キーボードコントローラのテストを行う (ステップS17)。次にシリアルパラレルポートのテスト、初期化を行う (ステップS18)。次にソフトリセットかどうかをチェックする (ステップS19)。ソフトリセットならば、ステップS20のRAMのテストと初期化処理をスキップしてステップS21へ進む。ソフトリセットでない場合ステップS20へ進みRAMのテストと初期化を行う。次にFDのテストを行う (ステップS21)。次にHDのテストを行う (ステップS22)。次にリアルタイムクロックのテストを行う (ステップS23)。次にプリンタのテストを行う。プリンタのテストは各種プリンタポートのチェックとプリンタ接続のチェックを行う (ステップS24)。次にLEDのテストを行う (ステップS25)。次に戻りとなる。以上の処理により図17のS1で示すPOST処理が行われる。

れ、各装置にエラー等があった場合、それらを知らしめる。

【0045】図19は、プリンタ側のソフト制御フローの概要図である。

【0046】S51にて初期化処理を行い、操作パネルSWからPrinter-off設定がされていればS56へ移りENDとなり、Printer-off設定がされていなければS52へ進む。S52の省電力制御処理においても同様に、Printer-off設定がされていればS56へ移りENDとなり、Printer-off設定がされていなければ、S53、S54、S55の3つの並列処理へ移る。S53は、ラインバッファに有るキャラクタコードデータを実際の1ラインのドットデータに展開するドットデータ展開処理、S54は、次ラインのドットデータが揃いその行の印字起動コマンドが実行されるか逐次実行コマンドが実行された場合の一連の印字処理で、S55は受信バッファーに取り込まれたコマンド及びデータを解釈しラインバッファを作成するコマンド取り込み解析処理である。S53、S54、S55の各処理が終了した時点で再びS52の省電力制御処理に戻る。

【0047】図20は図19の初期化処理の詳細フローである。

【0048】図20において、S61で割り込みMASK処理を行いS62へ進む。S62では前述のレジスタ(PIF/IO、PFM/IO、PBO/IO、PPM/IO)等を所望の設定とするデバイスIOレジスタ初期化を行いS63へ進む。S63ではCPU-Pがリセットスタートした条件をプリンタPM部のレジスタPPM/IOのPPM statusを読み込むことによってチェックする。操作パネルSWのPrinter on/offスイッチがoffからonになった場合はS68へ、ホストからレジスタPST/IOへの書き込み(エミュレーションに係わる各種設定)があった場合はS66へ、ホストがHard Resetされた場合はS64へ進む。また上記以外の場合はS66へ進む。S64ではROM-P、RAM-Pといったデバイスをチェックしエラーがあればエラー状態をレジスタHWR/IOを介してホストに通知する(S65)。S66ではエミュレーションモード設定や個々のエミュレーションに係わる各種の設定条件をレジスタHWR/IOに書き込みホストに通知する。S67では、Printerスイッチがoff状態かを判定し、Printer offでなければ図20の処理に戻る。Printerスイッチがoff状態であればS69及びS70及びS71と引き続く一連の処理に入り、これらの処理は後述のStop Modeへ移行する際のCPU-Pの手順であってPPM/IOをStop Modeに設定しCPU-PをHaltにする処理である。

【0049】図21は図19の省電力制御処理の詳細フ

ローである。

【0050】S80で割り込みMASK処理を行いS81へ進む。S81では、プリンタ駆動制御中か否かに従って、プリンタ駆動制御中の場合にはS103にて割り込みMASKを解除した後Mainへ戻り、プリンタ駆動制御中でない場合にはS82へ進む。S82では、1ラインドットデータ展開処理が完了しているか否かによって、1ラインドットデータ展開処理が完了している場合には、S83で現在プリンタが動作中で有るか無しかによって、現在プリンタが動作中で有る場合には上述のS103へ進み、現在プリンタが動作中でない場合には、S84にてプリンタ駆動用電源VpをONとして同様にS103へ進む。元に戻って、1ラインドットデータ展開処理が完了していない場合には、S85へ進む。S85でVpをoffした後、S86へ進み、ドットデータ展開処理が完了しているか否かによって、ドットデータ展開処理が完了している場合には、S88に進み、ドットデータ展開処理が完了していない場合には、S87に進み、S87ではPrinter-offが有りや無しやによって、PRINTER-offが有りの場合には、図21のS71へ進み、S71、S72のEND処理を行い、PRINTER-offが無しの場合には同様にS103へ進む。S88ではINPUTバッファにデータが有るか無いかによって、INPUTバッファにデータが無い場合には前述のS87へ進み、INPUTバッファにデータが有る場合には、S90にてTIME1-Pの設定モードを解除し、続くS91、S92、S93はハードウェアによる外部割り込みで再び起き上がる事を完了して行われる手順で、sleepを設定した後ハード割り込みを解除しHalt設定する。S93の状態でハード割り込みが有るSAとS100、S101、S102に対応しHalt解除し、Sleep解除とハード割り込みに対応したコマンド書き込み等のReady Mode再開処理が行われS103へ進む。

【0051】図22は、プリンタPM部及びモード制御部が条件により状態を変遷する図である。RESET後はプリンタPM部はAに示す状態で有るが、PPM/IOのsleepが設定されるとBに示す状態にまた、PPMM/IOのstopが設定されるとCに示す状態にそれぞれ変化する。状態Aに於ける変化はCPU-Pのsleep設定によるA→B変化と、CPU-Pのstop設定によるA→C変化と、CPU-PのVp-off設定によるA→D変化の3通りがある。次に、状態Bに於ける変化は状態Aに変化する場合と、パネルSWからのPrinter-off信号により状態Cに変化する場合と、P-RESによる初期化を経て状態Aに変化する場合の3通りがある。状態Aに変化する場合は、非サスペンション状態で紙挿入/操作SW/データ入力/PST/IOへの書き込み等のハード割り込みの発生による場

合と、サスPEND→非サスPEND状態への移行時即ち、RESUME時にプリンタ動作否(Pr i n t e r -o f f) ラッチ信号無の場合である。またCに変化する場合は、サスPENDの状態に因らずプリンタ動作否(Pr i n t e r -o f f) SW入力が発生した場合である。また、P-RESによる初期化を経て状態Aに変化する場合は、サスPEND→非サスPEND状態への移行時即ち、RESUME時にプリンタ動作否(Pr i n t e r -o f f) ラッチ信号有の場合である。次に、状態Cに於ける変化はP-RESによる初期化を経て状態Aに変化する場合で、非サスPEND状態でプリンタ動作可(Pr i n t e r -o n) SW入力あるいはPST/I Oにホストが書き込みをした時と、サスPEND→非サスPEND状態への移行時即ち、RESUME時である。状態Dに於ける変化は、CPU-PのVp-o ff設定解除による状態Aへの変化の場合である。これらのA～Dの状態をプリンタシステムの状態説明を合わせて次に説明する。

【0052】図23は、プリンタシステム全体の変遷図である。

【0053】状態としては、全てのclock及び電源供給が無いSTOP MODEと、全ての電源及びCLOCKがノーマルであり印字可能なActive Modeと、Active Modeに比べてプリンタ駆動電源供給の無いReady Modeと、CPU-PとPM制御部及びRAM-PだけにVcc電源供給がなされておりCPU-P及びRAM-Pは基本的には停止していてメモリー及びレジスタの内容を保持するだけの状態なSleep Modeと、4つの状態から成る。

【0054】以下に各モードの変化系とCPU-Pの制御及びモード制御部の変化系と関連づけて説明する。

【0055】RESET時にREADY Modeとなるがこれは図22に於けるRESET→Aの変化系を用いて実現されている。

【0056】次にREADY Modeについては、READY Modeからの変化系の第一は、READY Mode→Active Modeで前述図21のS84によりCPU-PにてVp-o ff設定されモード制御部では図22のA→D変化が発生する。READY Modeからの変化系の第二は、図21のS81～S93に至る一連のCPU-Pの処理で印字が終了した状態で処理できるデータが無いとSleepをモード制御部に設定しHaltとなるが、このSleep設定によって、モード制御部では図22のA→B変化が発生してREADY Mode→Sleep Modeへと変化する。

【0057】ACTIVE-Modeについては、Active-Modeからの変化系は1モードのみで、Active Mode→READY Modeは前述図21のS85によりCPU-PにてVp-o ff解除設

定され、モード制御部では図22のD→A変化が発生する。

【0058】Sleep-Modeにおいては、Sleep-Modeからの変化系の第一は、Sleep-Mode→READY Modeで非サスPEND状態での紙挿入／操作SW／データ入力等の派生と、サスPEND→非サスPEND状態への移行時即ちRESUME時にプリンタ動作否(Pr i n t e r -o f f) ラッチ信号無の場合に、図22のB→Aへの変化が起こると共にclockを正常状態とし、CPU-Pに対してハード割り込みを発生して、CPU-P側では図21のS100～S103により復帰する。Sleep-Modeからの変化系の第二は、プリンタ動作否(Pr i n t e r -o f f) SW入力が発生条件によるSleep Mode→Stop Modeで、モード制御部に於ける図22のB→Cの変化であり、CPU-Pの制御は介在しない。Sleep-Modeからの変化系の第三は、RESUME時にプリンタ動作否(Pr i n t e r -o f f) ラッチ信号有の場合に、P-RESによる初期化を経てReady-Modeに変化する状態変化でモード制御部に於ける図22のB→reset→Aの変化であり、ハード的に初期化される。

【0059】Stop-Modeにおいては、変化系はひとつで、RESUME時と、非サスPEND状態におけるプリンタ動作可(Pr i n t e r -o n) SW入力あるいはホストからのPST/I Oへの書き込み発生におけるP-RESでのリセットを経由したReady-Modeへの移行で、モード制御部に於ける図22のC→reset→Aの変化であり、ハード的に初期化される。

【0060】従って、ホストのサスPEND制御によりプリンタのCPU-P系がフォルト中あるいは停止中である状態すなわちサスPEND中のReady-ModeあるいはサスPEND中のStop-Modeにある時でもプリンタ動作可否SWの動作可→動作否→動作可を検出し、サスPEND状態→非サスPEND状態となるRESUME時にCPU-Pをハード的に初期化してプリンタのリセットを確実に実行することができる。

【0061】尚、本発明は、特にインクジェット方式の印字方式での実施例について説明したが、プリンターの種類や記録方式を選ばないことは自明である。

【0062】加えて、本発明はパソコンとプリンタが一体構造になった実施例についてのみ説明を加えたが、パソコンとプリンタが同一の電池駆動源である分離型の構成も同様に実現できる。

【0063】またさらに加えて、プリンタが単独の電池駆動源を有する場合においては、Host部から与えられるPrinter-off信号によるREADY MODE→STOP MODEが存在しなくなるので、このモードを除いた形式で実現可能であるのは言うまでも

ない。

【0064】さらに、図22、図24での状態Bにおいては、CPU-Pへのクロックを低速としているが、これはCPU-P内部のレジスタが情報を維持できて復帰可能な最低クロック速度を意味しており、スタティック動作可能なCPU-Pであれば、クロックは停止可能であるのは言うまでもない。また同様に、RAM-Pは、コストの安いD-RAM及びPS-RAM等のリフレッシュが必要なタイプを想定してあるが、リフレッシュを必要としないあるいはデータ保持モードを有し、データを保持して復帰可能なRAMであれば、なお省電力化が可能であるのは言うまでもない。また、CPU-P、RAM-PとともにB状態における供給電圧はデータ保持可能な最低の電圧に切替えれば、なお省電力化が可能であることも言うまでもない。

【0065】さらに、ホストをパソコンを主体として説明を加えたが、プリンタ部が独立して制御できる構造であれば、日本語WPやシステム手帳等の外部への通信手段をもっているかあるいは、Busを介してのコミュニケーションがとれるものであれば装置を選ばない。

【0066】(実施例2) 図24、図25は図22、図23に示す状態から完全にプリンタPM系のクロック供給系が完全に停止するStop-Modeを取り去ったもので、各変遷系の条件等がことなるだけで条件系変化図中に明示されており構成自体になんらの変化をあたえるものではないので説明を省略する。

【0067】以上の説明から明らかな様に、少なくともプリンタ駆動電源が供給されていて印字可能なActive Modeと、プリンタ駆動電源が供給されず印字以外のプリンタ制御が実行可能なReady Modeと、プリンタ制御を司るCPU制御をMode中全く停止させかつプリンタ制御を司るCPUに供給するClockをReady Modeから変化させるSleep Modeとの3Modeを有し、Active Mode→Ready Mode、Ready Mode→Active Mode、Ready Mode→Sleep Mode、Sleep Mode→Ready Modeの変化が少なくとも可能でかつRESET入力によりReady Modeに遷移する省電力制御方式を用いることによって、少なくともプリンタ部へのデータ受渡部分ではプリンタの状態を意識することなく高速なデータの転送が可能で、かつプリンタにとっては必要な時以外は停止しているか電源供給が無いため、大幅な省エネルギーが可能となる。

【0068】

【発明の効果】以上、詳細したように、本発明により主制御を行う情報処理側と、省電力制御を含む印字の制御を行う印字処理側を備え、前記情報処理側は、前記印字処理側に対して、印字部初期化命令、印字部復帰命令を送出する様にし、前記印字処理側は、前記情報処理側か

らの命令が、印字部初期化令であれば前記省電力制御部に一時命令が保持され、印字部復帰命令であれば前記省電力制御部が復帰し、印字部が初期化処理を実行する情報処理方法及び装置を提供することが可能となった。

【図面の簡単な説明】

- 【図1】本発明を実施したパソコンを示す斜視図。
 - 【図2】ホストPrinter間概略ブロック図。
 - 【図3】プリンタIF部のブロック図。
 - 【図4】複合制御UNITの内部ブロック図。
 - 【図5】モード制御部の外部構成図。
 - 【図6】PIO/I/Oレジスタ構成図。
 - 【図7】PIF/I/Oレジスタ構成図。
 - 【図8】PFM/I/Oレジスタ構成図。
 - 【図9】PBJ/I/Oレジスタ構成図。
 - 【図10】PPM/I/Oレジスタ構成図。
 - 【図11】PST/I/Oレジスタ構成図。
 - 【図12】HWR/I/Oレジスタ構成図。
 - 【図13】プリンタRAM-PのPB及びIBのアドレス領域図。
 - 【図14】プリンタ内部ユニットの斜視図。
 - 【図15】ホストのメモリー空間アドレスマップ。
 - 【図16】ホストのI/O空間アドレスマップ。
 - 【図17】電源投入時のフローチャートを示す図。
 - 【図18】POSTのフローチャートを示す図。
 - 【図19】プリンタのCPU-Pの大まかな制御フロー。
 - 【図20】プリンタのCPU-Pの初期化処理制御フロー。
 - 【図21】プリンタのCPU-Pの省電力制御処理制御フロー。
 - 【図22】プリンタPMコントローラの変化図。
 - 【図23】プリンタシステムとしての状態変化図。
 - 【図24】実施例2のプリンタPMコントローラの変化図。
 - 【図25】実施例2のプリンタシステムとしての状態変化図。
- 【符号の説明】
- CPU-P プリンタ部の主制御をなすマイクロプロセッサ
- PIO/I/O パラレルIFアダプタ部のホスト側からみえるI/Oレジスタ
- HWR/I/O プリンタコントロール&ステータスポート部でCPU-P側からみえるI/Oレジスタ
- PIF/I/O IFデータ取り込み制御部でプリンタ側からみえるI/Oレジスタ
- PFM/I/O プリンタポート制御部でプリンタ側から見えるI/Oレジスタ
- PBJ/I/O BJヘッド/CM制御部でプリンタ側からみえるI/Oレジスタ
- PPM/I/O プリンタPM部でプリンタ側からみえる

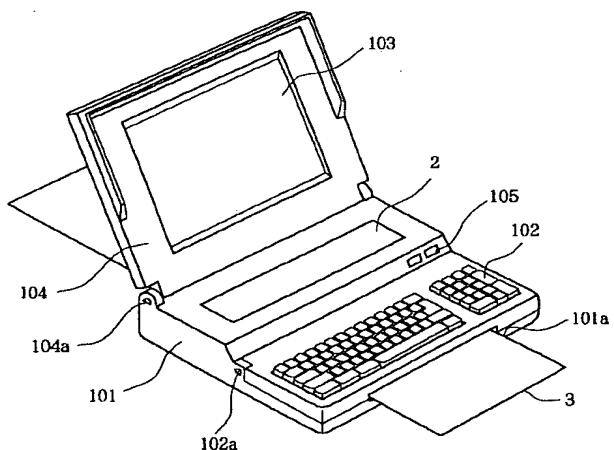
17

I Oレジスタ
P S T / I O プリンタコントロール&ステータスポート

18

ト部でホスト側からみえるI Oレジスタ

【図1】

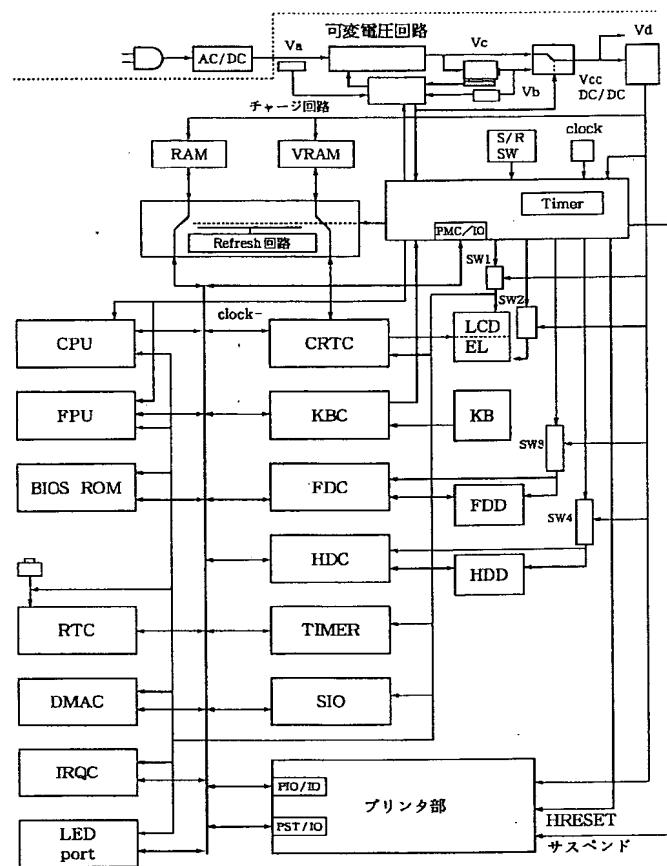


【図8】

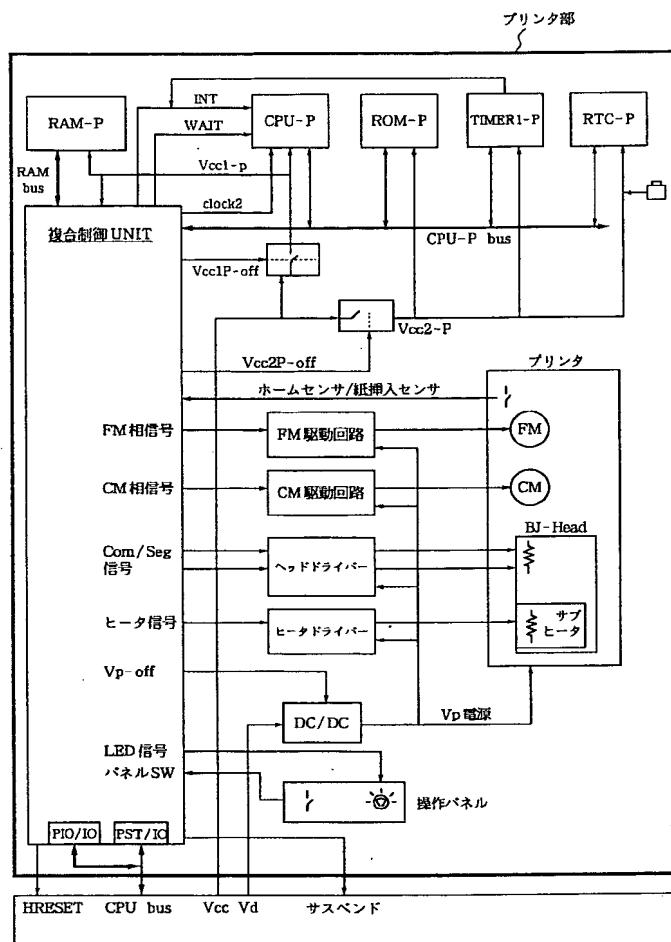
PFM/IO レジスタ

| |
|------------|
| FM 相磁信号 |
| SH ヒータ信号 |
| LED コントロール |

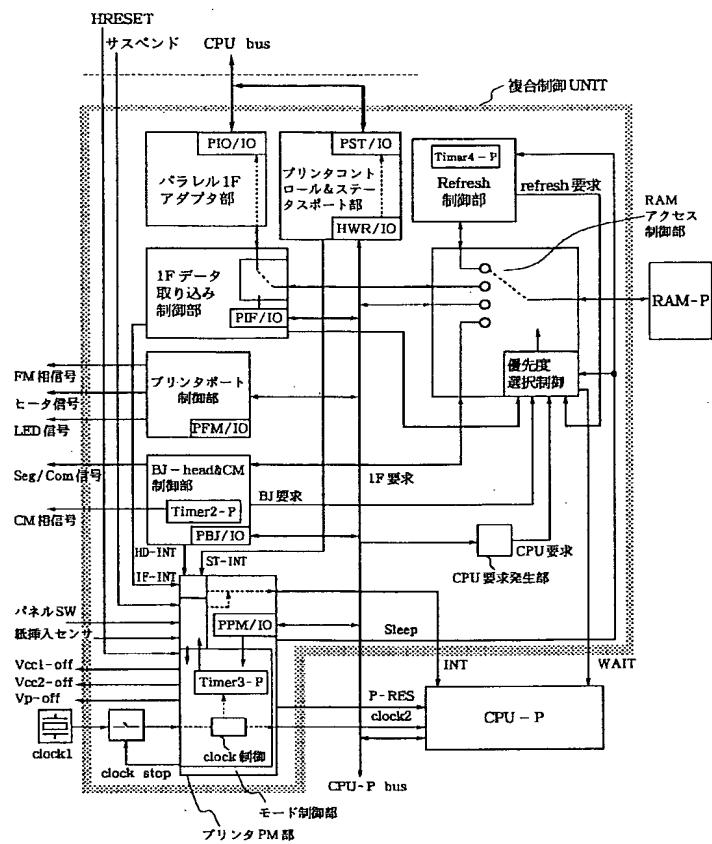
【図2】



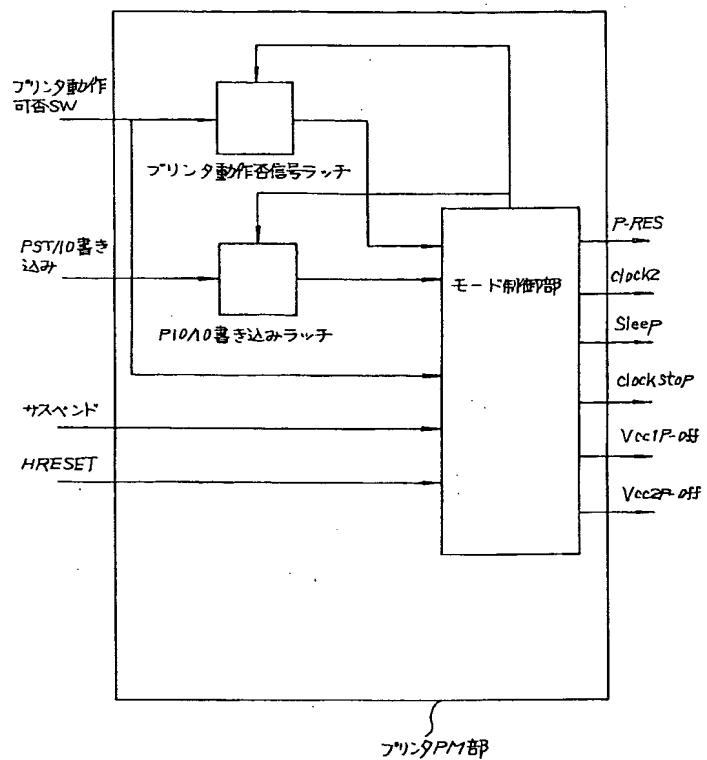
【図3】



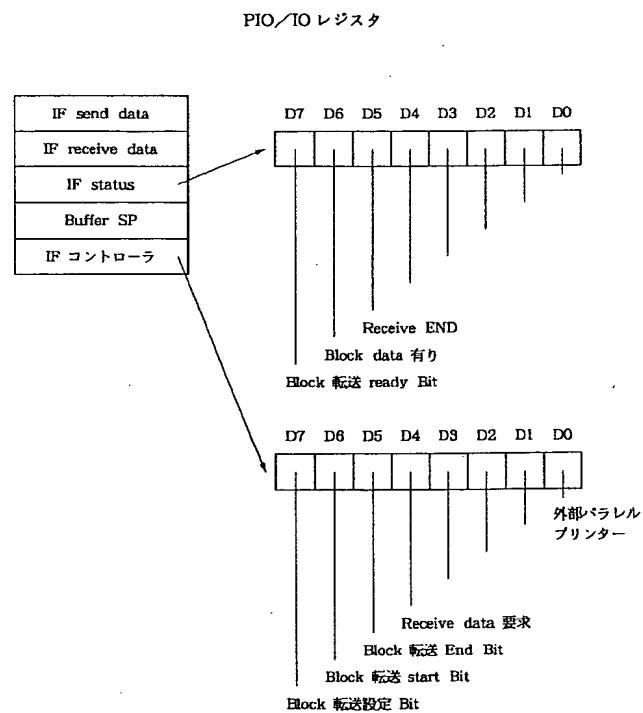
【図4】



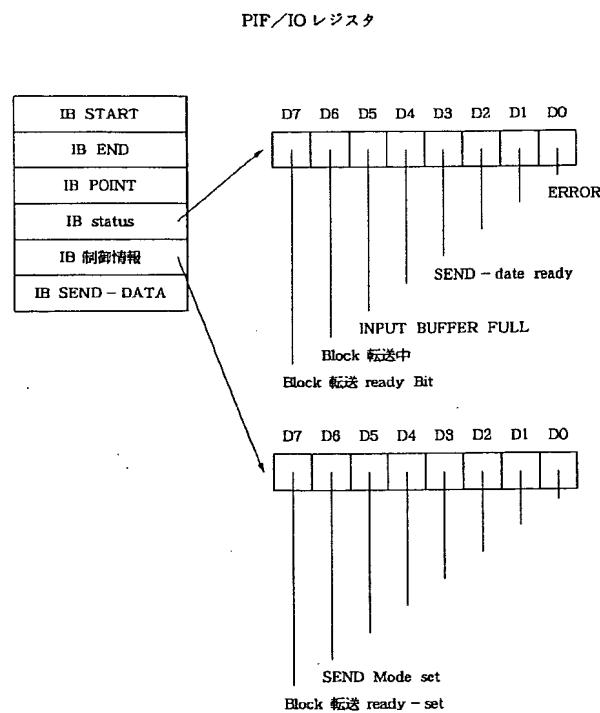
【図5】



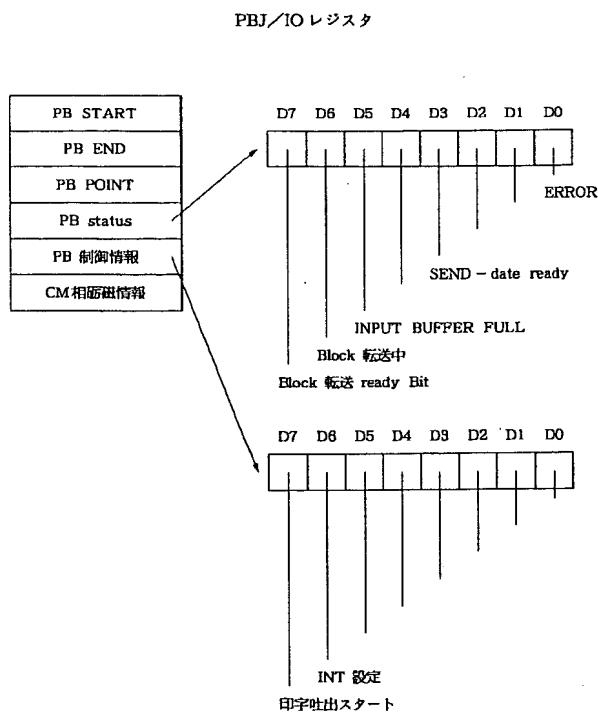
【図6】



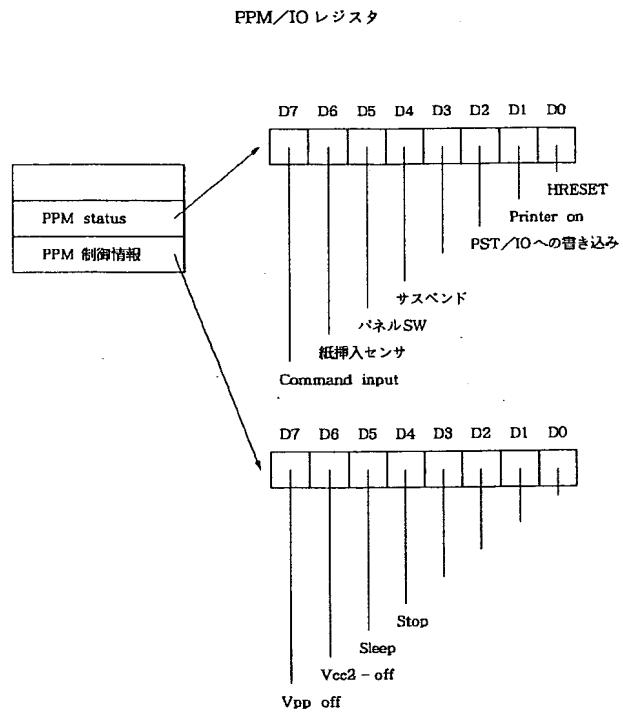
【図7】



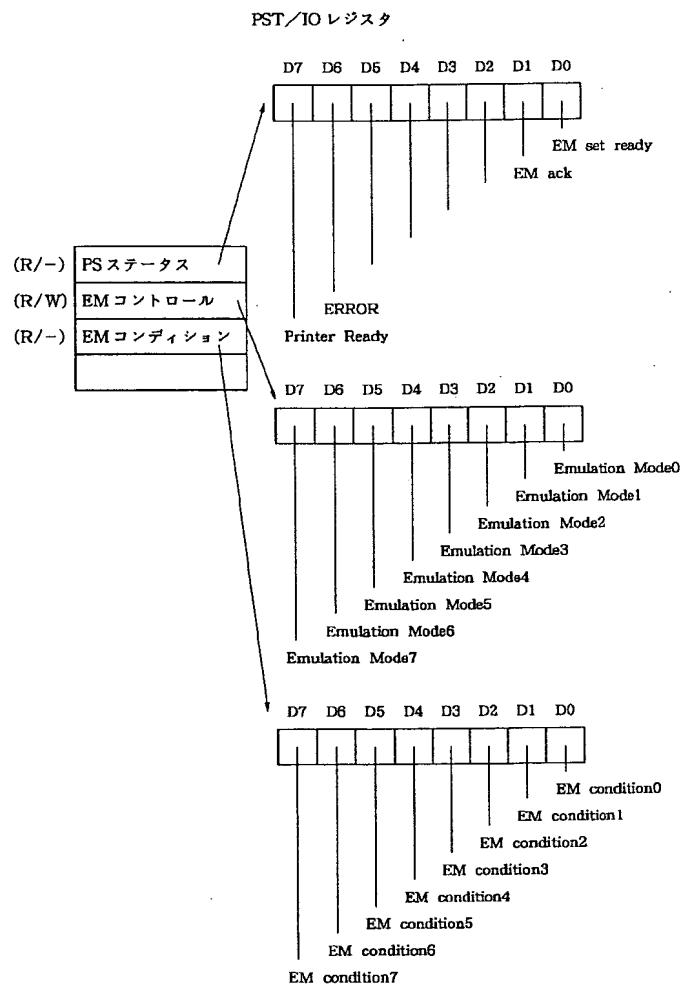
【図9】



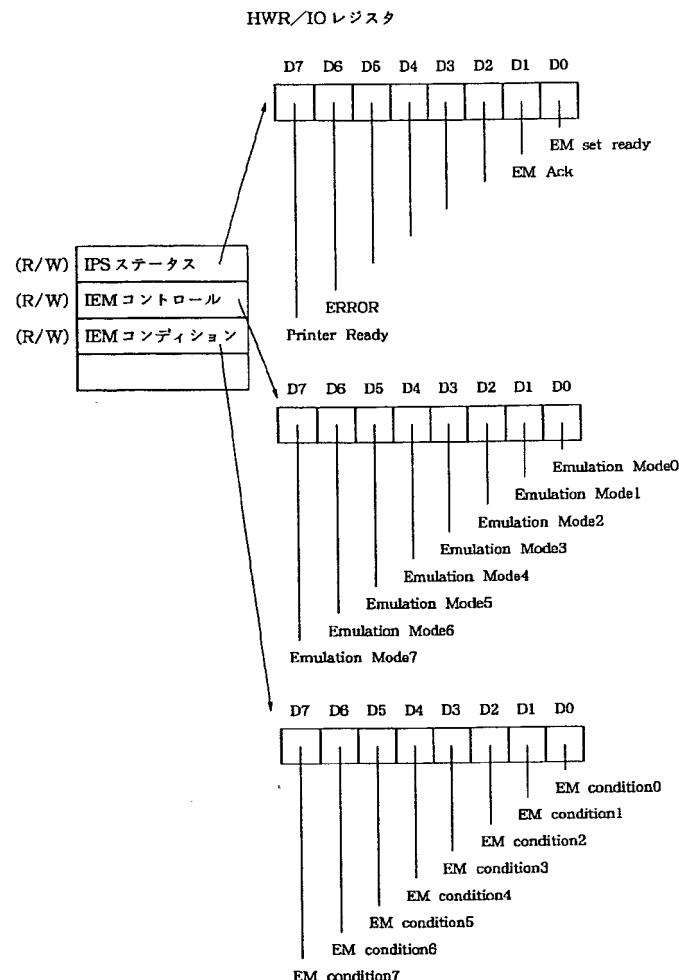
【図10】



【図11】

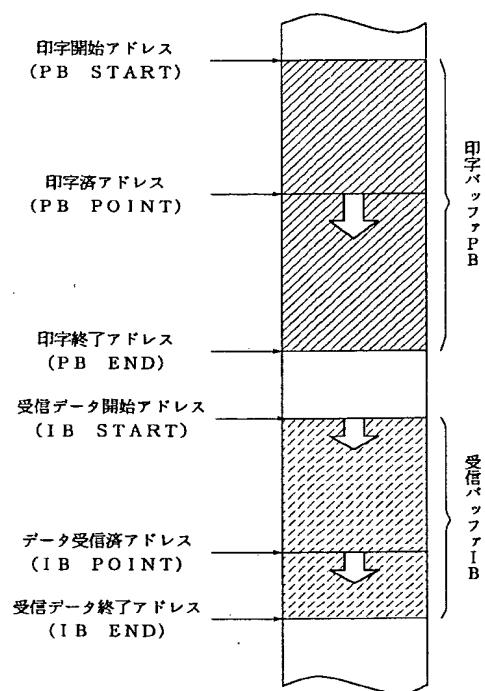


【図12】

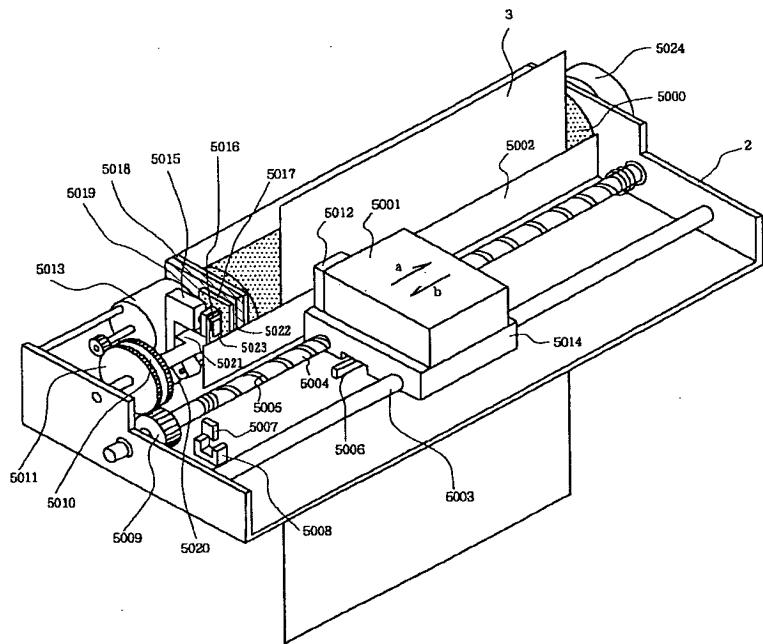


【図13】

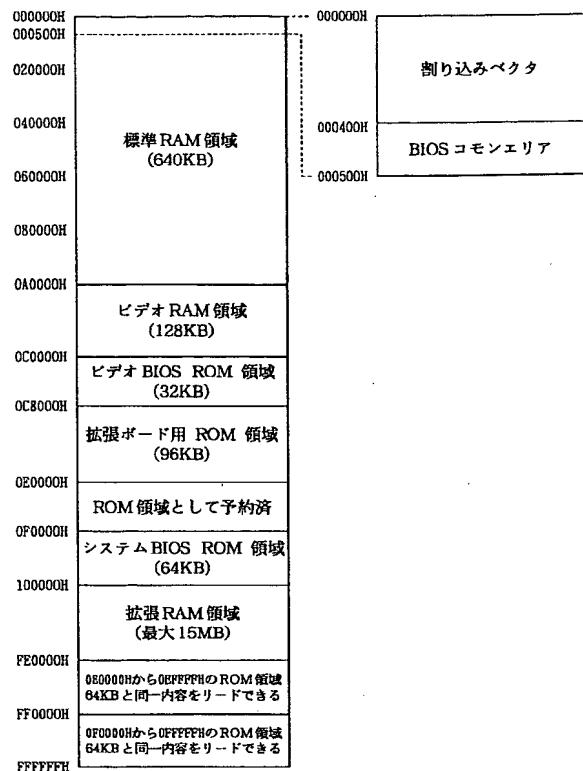
RAM #2アドレスマップ



【図14】



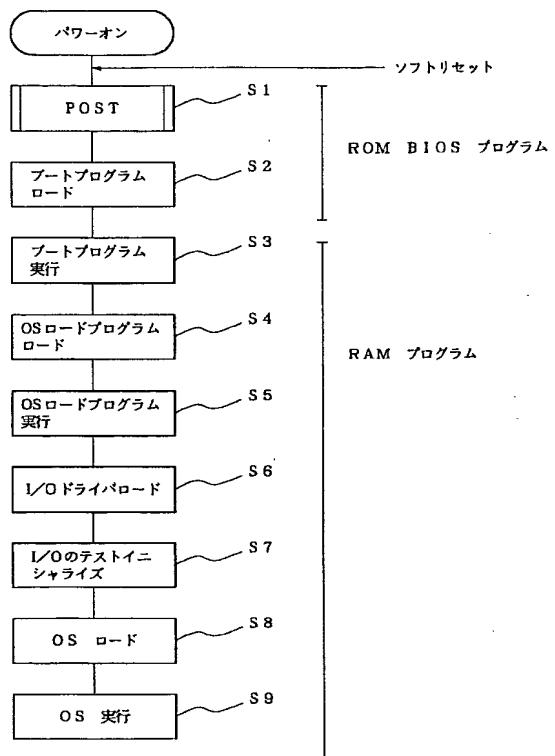
【図15】



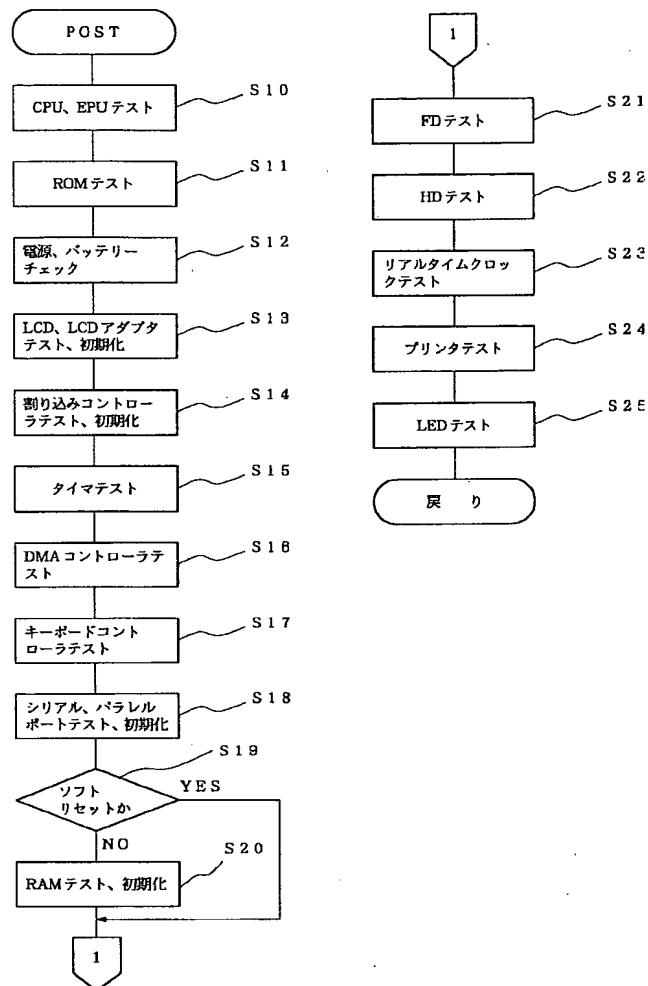
【図16】

| アドレス | デバイス |
|--------------|-------------------|
| 0000H-001FH | DMAコントローラ1 |
| 0020H-0021H | 割込みコントローラ1 |
| 0040H-0043H | システムタイマ |
| 0060H-0064H | キーボード |
| 0070H-0071H | リアルタイムクロック、NMIマスク |
| 0080H-008FH | DMAバンクレジスタ |
| 00A0H-00A1H | リザーブ |
| 00C0H-00DFH | リザーブ |
| 00F0H-00FFH | 数値演算プロセッサ |
| 01F0H-01FFH | ハードディスクコントローラ |
| 0200H-0207H | リザーブ |
| 0278H-027FH | パラレルポート(プリンタポート3) |
| 02F8H-02FFFH | シリアルポート2 |
| 0300H-031FH | リザーブ |
| 0360H-036FH | リザーブ |
| 0370H-0377H | リザーブ |
| 0378H-037FH | パラレルポート(プリンタポート2) |
| 0380H-03AFH | リザーブ |
| 03B0H-03BBH | ビデオコントローラ |
| 03BC0H-03BFH | パラレルポート(プリンタポート1) |
| 03C0H-03DFH | ビデオコントローラ |
| 03E0H-03EFH | リザーブ |
| 03F0H-03F7H | フロッピーディスクコントローラ |
| 03F8H-03FFFH | シリアルポート1 |

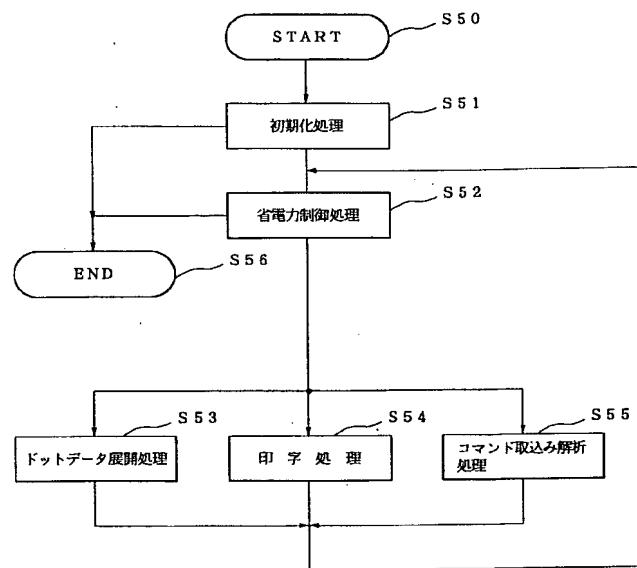
【図17】



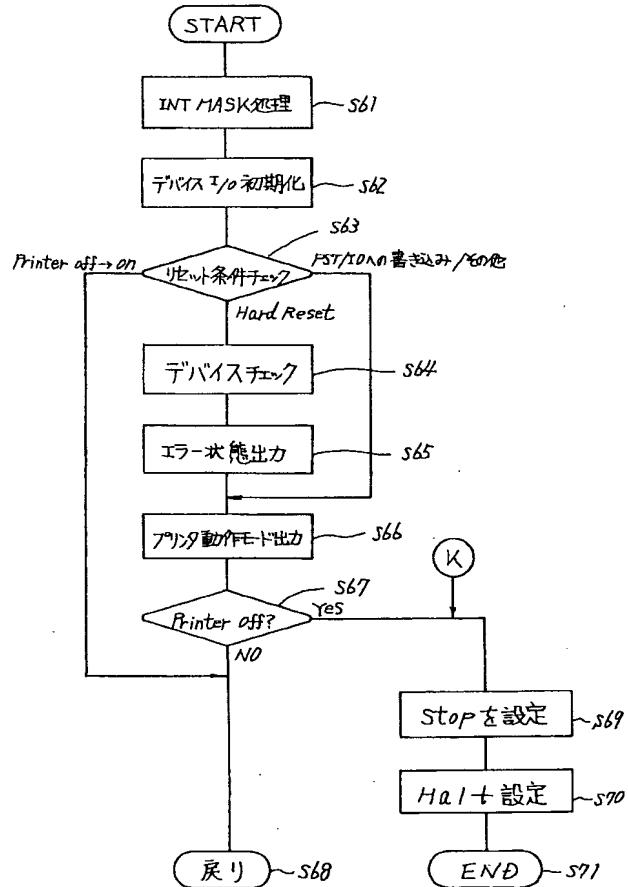
【図18】



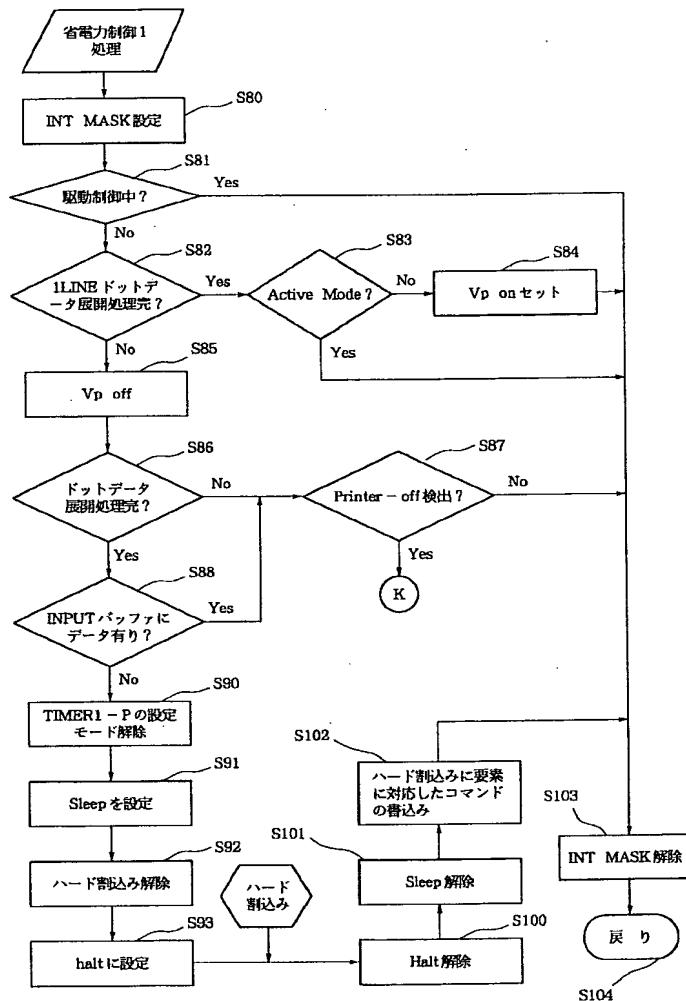
【図19】



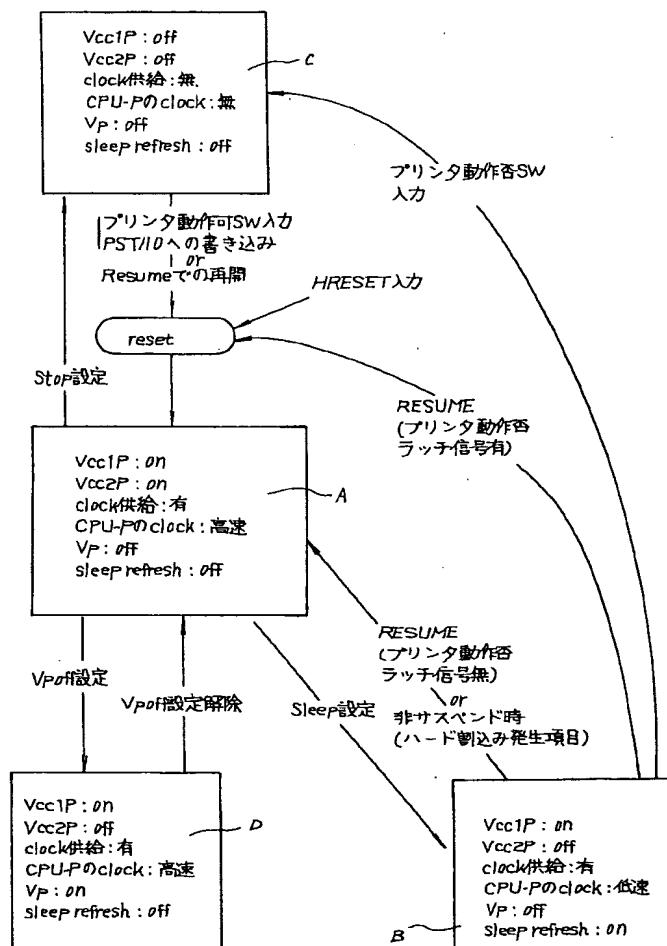
【図20】



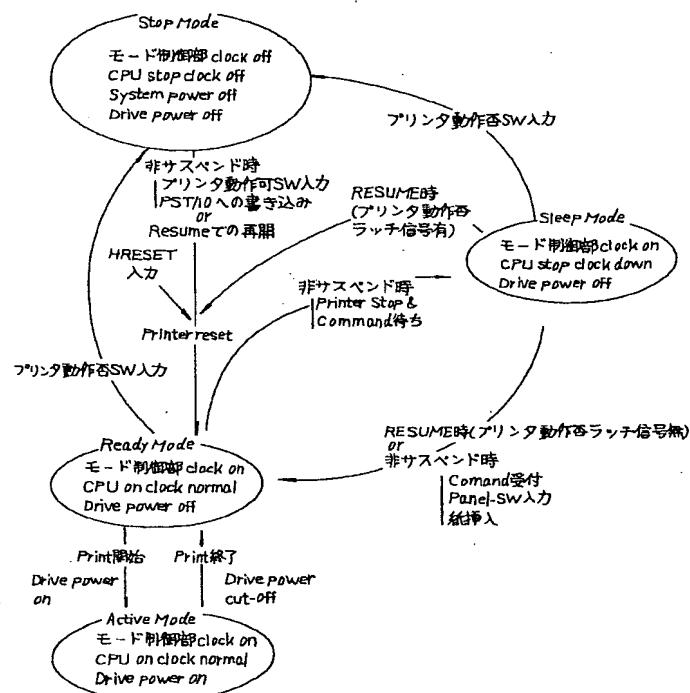
【図21】



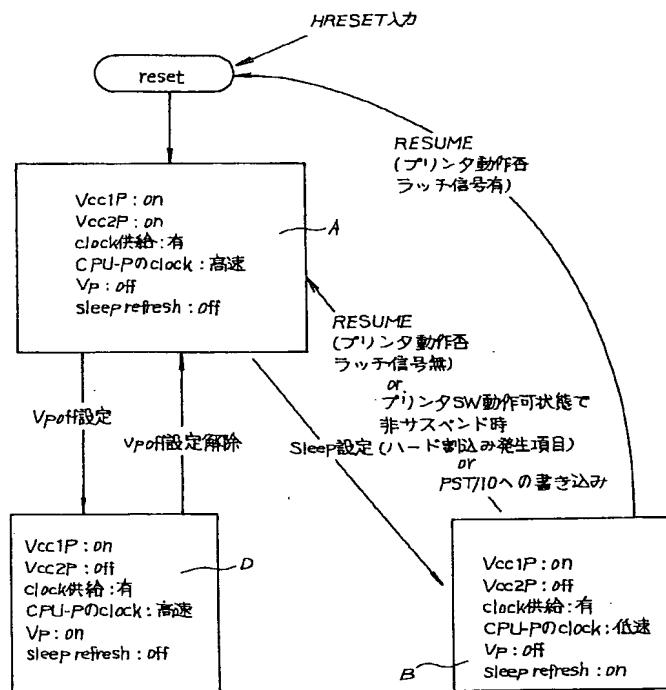
[図22]



【図23】



【図24】



【図25】

